

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-052396

(43)Date of publication of application : 21.02.1990

(51)Int.Cl.

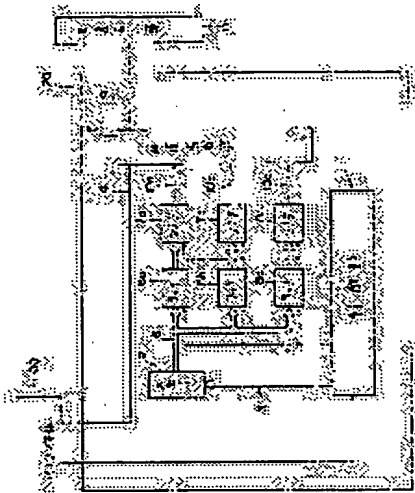
G09G 5/08

G06F 3/153

(21)Application number : 63-201937 (71)Applicant : CANON INC

(22)Date of filing : 15.08.1988 (72)Inventor : TANABE TAKAYUKI

(54) DISPLAY CONTROLLER



(57)Abstract:

PURPOSE: To display an excellent composite image by composing information of respective pieces of composite information held by holding means during the display section of the pieces of composite image information.

CONSTITUTION: Latches 8a - 8c latch graphic cursor data sent through a data bus 6 according to the indication of a control part 1. Here, the control part 1 outputs the enable or disable signal for the latches to the latches 8a - 8c. Further, an image plane composition part 5 composes one image plane data of an image plane signal 4 and graphic cursor signals 10a - 10b and outputs the composite signal 9. Then

the pieces of composite image information are held in a non-display section, so there is no collision between pieces of composite image information which are loaded at the same timing. Consequently, pieces of composite image information are put together excellently and outputted.

LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against

BEST AVAILABLE COPY

examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A)

平2-52396

⑫ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)2月21日

G 09 G 5/08
G 06 F 3/153

3 2 0 B
K

8121-5C
7341-5B

審査請求 未請求 請求項の数 4 (全9頁)

⑭ 発明の名称 表示制御装置

⑮ 特 願 昭63-201937

⑯ 出 願 昭63(1988)8月15日

⑰ 発 明 者 田 辺 孝 幸 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
⑱ 出 願 人 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
⑲ 代 理 人 弁理士 大塚 康徳 外1名

明 細 書

1. 発明の名称

表示制御装置

2. 特許請求の範囲

(1) 複数の合成画像情報を合成して出力する表示制御手段において、

合成画像情報の非表示区間中に複数の合成画像情報をそれぞれ単独に保持する保持手段と、

合成画像情報の表示区間中に前記保持手段で保持したそれぞれの合成画像情報を合成する合成手段とを備えることを特徴とする表示制御装置。

(2) さらに、前記複数の合成画像情報を予め記憶しているメモリを備え、前記保持手段には前記メモリより複数の合成画像情報をロードするロード手段が含まれることを特徴とする請求項第1項記載の表示制御装置。

(3) 前記合成画像情報をグラフィックカーソルデータとすることを特徴とする請求項第2項記載の表示制御装置。

(4) 前記ロード手段は前記複数のグラフィックカーソルデータを前記メモリより所定の順番でロードするメモリアクセス手段を含むことを特徴とする請求項第3項記載の表示制御装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は表示制御装置に関し、例えばパーソナルコンピュータ（以下、「パソコン」という）等の表示画面を制御する表示制御装置に関するものである。

[従来の技術]

従来、ハードウェアによるグラフィックカーソル表示は、グラフィックカーソルデータを全体の画像データと合成して表示するとき、グラフィックカーソルデータのロード時に行っている。

このために、複数のグラフィックカーソルを表示する場合には、グラフィックカーソルデータのロード時に、各々のグラフィックカーソルデータ間の競合を防ぐために、複数のグラフィックカーソル用メモリを用いている。

3

力させる。そして画面合成部59では2つの信号を合成した後に、一本の合成信号59を画面表示部58に出力する。

ここで、表示制御部60と画面表示部58との関係及び表示制御のタイミングを説明する。

第5図のように、メモリ52中のグラフィックカーソルデータはメモリ制御されると、画面表示部58上に2つのグラフィックカーソル300、301を同時に表示する。この場合には、第6図のように、まず制御部51よりメモリ52に対してアドレス信号が送出される。この送出されるタイミングは、グラフィックカーソルがまだ表示されていない領域での非表示区間中にはなされず、表示区間に入るとグラフィックカーソルデータをメモリ52よりロードし始める。ロードされたグラフィックカーソルデータはデータバスを介して

5

[発明が解決しようとする課題]

ここで、従来例について第4図～第6図を用いて説明する。

1種類のグラフィックカーソルをパソコン100より表示制御装置60の表示制御によりCRT、即ち、画面表示部58に表示する場合には、予め表示制御部60に設けられているメモリ52中にグラフィックカーソルのパターンデータが記憶されている。メモリ52中のデータは、制御部51よりのアドレスバス53を介して送出されるアドレス信号によつてアクセスされる。このようにしてロードされたグラフィックカーソルデータは、データバス56を介してシフト57に格納される。そして制御部51はパソコン本体100よりの画面信号54にシフト57中のグラフィックカーソルデータを同期させて画面合成部55に出

4

シフト57に格納される。そしてパラレルなデータはシリアルなデータとして画面合成部55に出力される。この場合、シリアルなデータ、即ち、グラフィックカーソル信号は制御部51より出力されるタイミングに同期して出力され、画面合成部55においてパソコン本体100よりの画面信号と合成される。

このように、単数のグラフィックカーソルの場合にはグラフィックカーソルデータのロード時に問題が発生しないが、複数のグラフィックカーソルを同時に表示させる場合には、例えば表示位置が重なると、即ち、グラフィックカーソル用のメモリよりのロードが重なると、従来例では対処できなくなるという問題が発生する。

このように、上記従来例では、複数のグラフィックカーソルを使用すると、表示が重複したとき

6

に合成するグラフィックカーソルデータのロードが競合してしまい、正常な表示ができなくなるという欠点がある。

本発明は上述の課題に鑑みてなされたものであり、その目的とするところは、グラフィックカーソルを合成して表示させるときに、例えばグラフィックカーソルデータのロード時の競合を回避させることによつて複数のグラフィックカーソルを同時に表示することを可能とし、またグラフィックカーソルと同様に複数の画像を合成して表示させるときにもロード時の競合を回避可能な表示制御装置を提供する点にある。

〔課題を解決するための手段〕

上述した課題を解決し、目的を達成するため、本発明に係わる表示制御装置は、複数の合成画像情報を合成して出力する表示制御手段において、

合成画像情報の非表示区間中に複数の合成画像情報をそれぞれ単独に保持する保持手段と、合成画像情報の表示区間中に前記保持手段で保持したそれぞれの合成画像情報を合成する合成手段とを備えることを特徴とする。

〔作用〕

以上の構成によれば、複数の合成画像情報を非表示区間中に保持しておくので、例えば同一のタイミングでロードされるべき合成画像情報間の競合は起きず、良好に複数の合成画像情報を合成して出力することができる。

〔実施例〕

以下、添付図面を参照しつつ本発明に係る好適な実施例を詳細に説明する。

第1図は本実施例の画像表示装置の構成を概略的に示すブロック図である。第1図において、2

7

0は本実施例の表示制御装置を示している。1は装置1のタイミング等を全体的に制御する表示タイミング制御部（以下、「制御部」という）を示している。この制御部1中には、クロックを発振するためのクロックジェネレータが内蔵されている。2は本実施例による3種類のグラフィックカーソルパターンを格納しているグラフィックカーソル用メモリ（以下、「メモリ」という）を示している。3は制御部1の命令によりメモリ2のアドレスを指定するアドレス信号伝送用のアドレスバスを示し、4はパソコン本体100より送出され、グラフィックカーソルパターンと合成される全体の画面信号を示している。

そして、6は制御部1に指示されるアドレス上のグラフィックカーソルデータを後述のラッチ8a~8cに伝送するグラフィックカーソルデー

8

タバス（以下、「データバス」という）を示している。8a~8cはデータバス8を介して伝送されるグラフィックカーソルデータを制御部1の指示に基づいてラッチするラッチを示している。ここで、制御部1はラッチ8a~8cに対してラッチのイネーブル信号或はディセーブル信号を出力している。

また、7a~7cはラッチ8a~8cにラッチされているグラフィックカーソルデータ、即ち、本実施例による8ビットのバラレルなフォーマット（グラフィックカーソルデータをいう）を制御部1より指示されるタイミングにより1ビットのシリアルなフォーマット（グラフィックカーソル信号をいう）に変換して出力するシフタを示している。そして10a~10cはシフタ7a~7cよりそれぞれ送出されるグラフィックカーソル信

9

10

号を示している。5は画面信号4に複数のグラフィックカーソル信号10a~10bを合成して一つの画面データを形成する画面合成部を示し、9は画面合成部5より出力される合成信号を示している。ここで、画面合成部5では、グラフィックカーソルと元の画面とを合成する場合に、画面信号4とグラフィックカーソル信号10a~10cとを同時に論理和により合成した1本の合成信号9を出力する。そして、11は合成信号9に基づいて、パソコン本体100より入力した元の画像に複数のグラフィックカーソルを合成した画像を表示するCRT、即ち画面表示部を示している。

次に、上述の画像表示装置20の表示動作について第2図及び第3図を用いて説明する。

第2図は本実施例のグラフィックカーソルを説明する図である。尚、本実施例では、画面表示部

11上に3つのグラフィックカーソルを表示することができる。

第2図において、200は右手の形状をしているグラフィックカーソル、201は直方体の形状をしているグラフィックカーソル、そして202は矢印の形状をしているグラフィックカーソルをそれぞれ示している。これらのグラフィックカーソルは、パソコン本体100側で図示されないマウス等により移動指示される。

第3図は本実施例による表示制御装置20のタイミングチャートである。ここでは、上述のグラフィックカーソル200~202がお互いに重なる場合の表示方法について説明する。

<非表示区間の説明>

まず、画面上の非表示区間において、制御部1はパソコン本体100の指示により各グラフィッ

1 1

クカーソルのパターンをロードするため、メモリ2に対してアドレス信号を出力する。ここで、グラフィックカーソル200にはアドレス1、グラフィックカーソル201にはアドレス2、そしてグラフィックカーソル202にはアドレス3がそれぞれ対応している。まず、アドレス1をアクセスするアドレス信号により、メモリ2からはグラフィックカーソル200のパターン、即ち、データ1が出力される。このデータ1はデータバス6を介してラッチ8aに保持される。グラフィックカーソル201、202のデータ2、3もデータ1と同様に、それぞれラッチ8b或はラッチ8cに保持される。このようにしてデータ1~3は表示区間になるまで各々のラッチに保持される。

<表示区間の説明>

次に、上述の様にラッチ8a~8cにグラフィッ

1 2

クカーソルデータを保持した後に、グラフィックカーソルの画面表示位置、即ち、画面信号4との画面合成位置まで到達すると、すでに非表示区間においてそれぞれのグラフィックカーソルデータを保持しているラッチ8a~8cよりそれぞれ8ビットの平行データが制御部1のタイミングパルスに同期して同時にシフト7a~7cに出力される。さらに、シフト7では入力した平行データをシリアルデータ、即ち、グラフィックカーソル信号10a、10b、10cとして画面合成部5に同時に入力される。このとき、それぞれのグラフィックカーソル信号がお互いに重なる部分を有している。そこで、画面合成部5より信号が出力されるときには、第3図の如く、グラフィックカーソルの合成表示区間中、それぞれのグラフィックカーソル信号がオアされた状態で出力

1 3

1 4

される。尚、第3図では、画面合成部5でグラフィックカーソル信号に合成する画面信号4を省略して示している。

このように、グラフィックカーソル200~202が相互に画面表示部11上で重なるようなことがあっても、非表示区間を表示している間にすべてのグラフィックカーソルデータがロードされて保持される。これによつてグラフィックカーソルデータのロードタイミングがかち合うようなメモリアクセスの競合が回避される。

以上の説明により本実施例によれば、1つのグラフィックカーソル用メモリで複数のグラフィックカーソルを表示させることができると共に、リアルタイムなメモリアクセスを行わないので高速メモリ機能が必要とされず、コスト面での低減が実現される。

15

での低減が実現される。さらには、グラフィックカーソルに限らず複数の合成画像情報を合成して表示させるときにもデータロードが円滑に行われ、良好な合成画像を表示させることができる。

4. 図面の簡単な説明

第1図は本実施例の画像表示装置20の構成を概略的に示すブロック図、

第2図は本実施例のグラフィックカーソルを説明する図、

第3図は本実施例による表示制御装置20のタイミングチャート、

第4図は従来例による画像表示装置60の構成を概略的に示すブロック図、

第5図は従来例によるグラフィックカーソルを説明する図、

第6図は従来例による表示制御装置60のタイ

17

さて、前述の実施例においては、グラフィックカーソルの表示方法について説明したが、本発明はこれに限定されず、次のような表示内容についても考えられる。

(1) ウィンドウ画面表示、そして、

(2) フルサイズの画面同士の画面合成表示、

との2点、及びこれに類似するものであつても本発明の作用・効果を得ることができる。

[発明の効果]

以上の説明により本実施例によれば、複数の合成画像情報、例えば複数のグラフィックカーソルデータのロード時に、データ同士の競合は起きず、円滑な合成処理により、良好な合成画像を表示させることができる。

また、リアルタイムなメモリアクセスを行わないので高速メモリ機能は必要とされず、コスト面

16

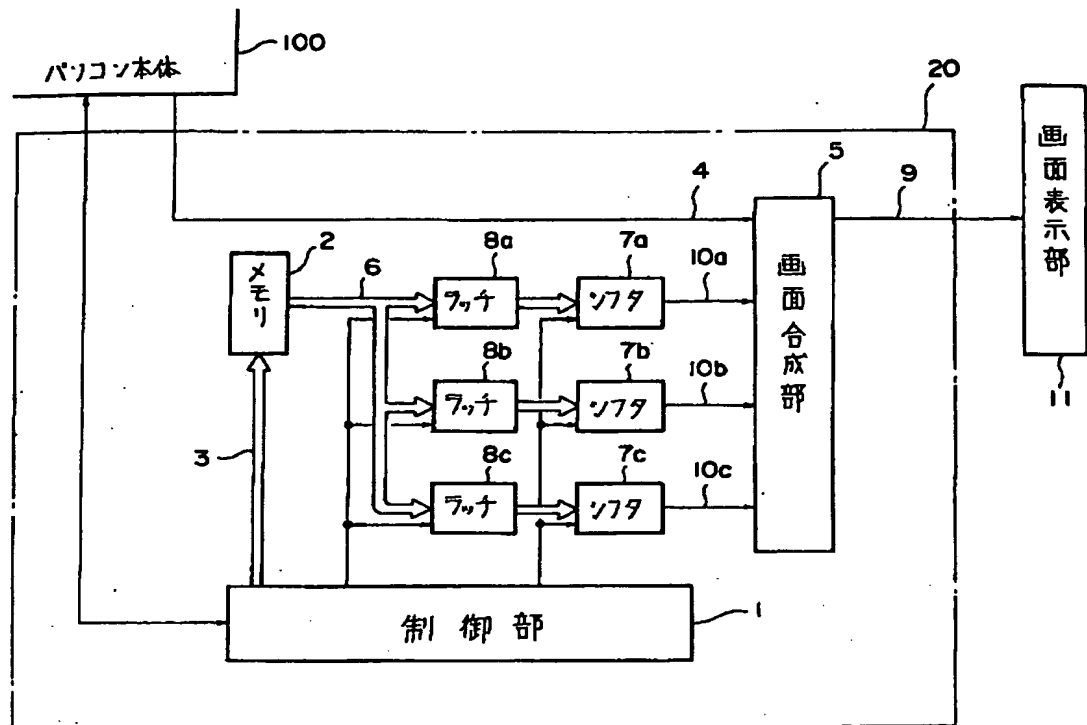
ミングチャートである。

図中、1、51…制御部、2、52…メモリ、3、53…アドレスバス、4、54…画面信号、5、55…画面合成部、6、56…データバス、7a~7c、57…シフト、8a~8c…ラッチ、9、59…合成信号、10a~10c…グラフィックカーソル信号、11、58…画面表示部、20、60…表示制御部、100…パソコン本体である。

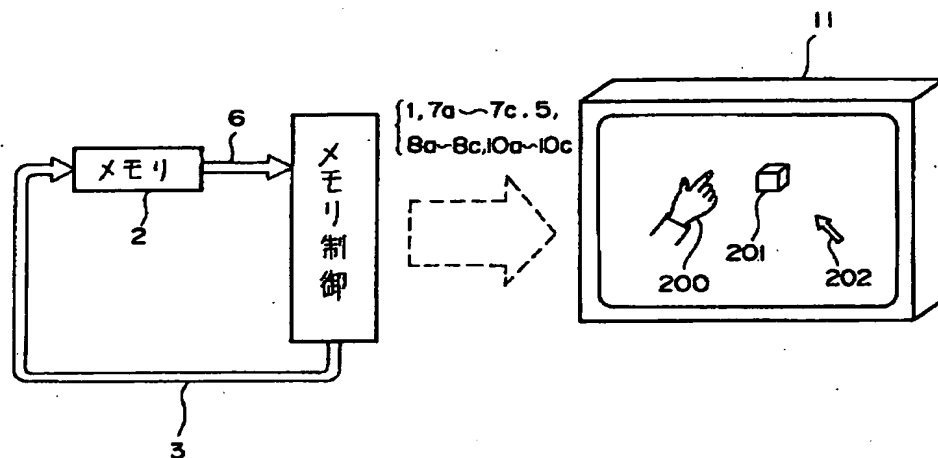
特許出願人 ギャノン株式会社
代理人 弁理士 大塚康徳 (印) (名)



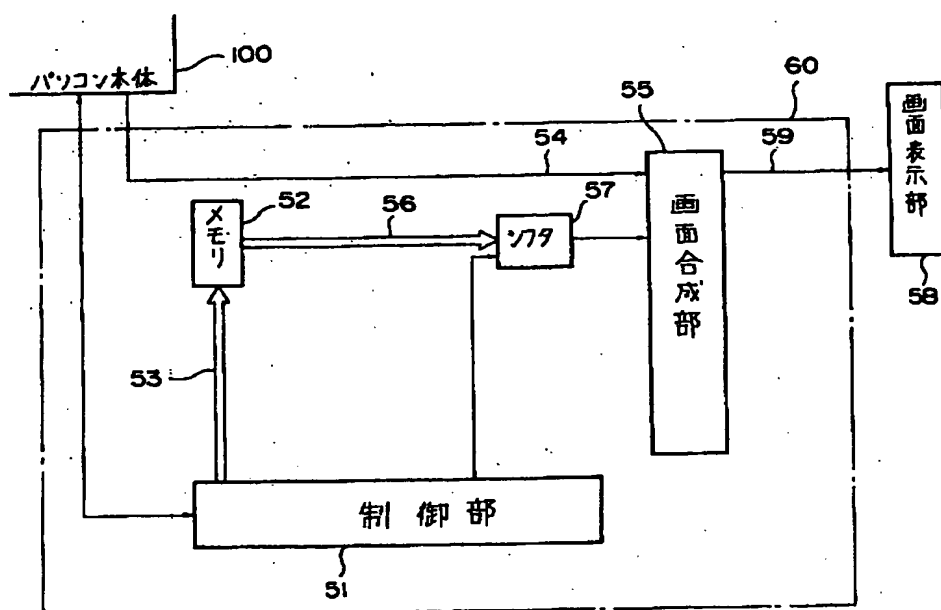
18



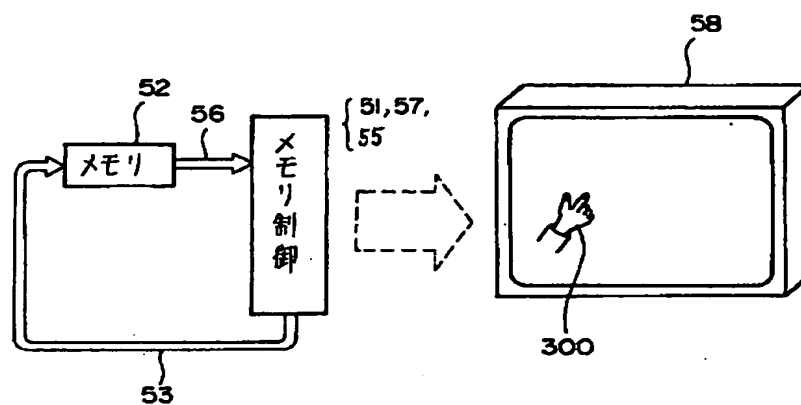
第 1 図



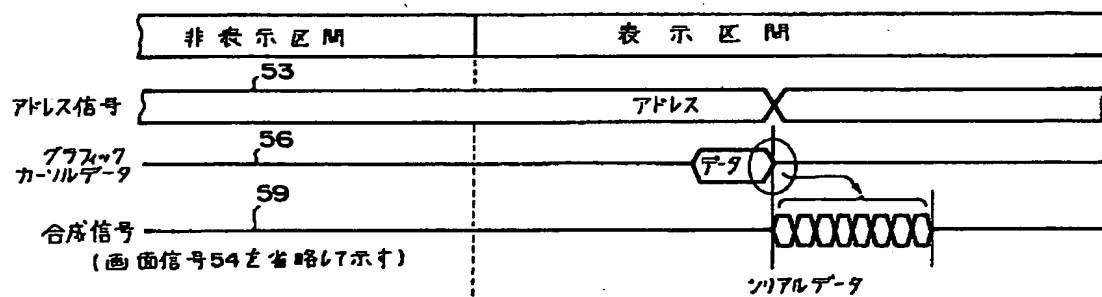
第 2 図



第 4 図



第 5 図



第 6 図